

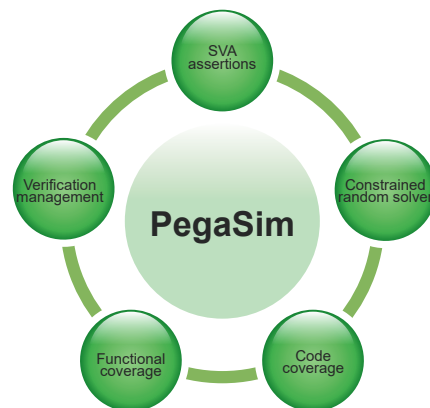
PegaSim 芯神驰 – 多语言混合高性能逻辑仿真器

PegaSim 芯神驰是思尔芯倾力打造的一款高性能、多语言混合的商用数字逻辑仿真器。PegaSim 采用了创新的架构算法，实现了高性能的仿真引擎和约束求解器引擎，支持多种设计与验证语言，包括 SystemVerilog、Verilog、VHDL 和 UVM 验证方法学等。

PegaSim 芯神驰与芯神匠架构设计软件、芯神鼎硬件仿真系统、芯神瞳原型验证系统以及验证云共同构成了思尔芯的异构验证平台，可满足设计或验证工程师从 IP、子系统及全系统等不同场景的验证需求，加速当今创新的、复杂 SoC 的验证。

重点摘要

- 支持 IEEE1800-2017 SystemVerilog, IEEE1364 Verilog 和 IEEE1076-1993 VHDL
- 支持 UVM, VMM 和 OVM 方法学
- 支持时序反标 (SDF & Timing check)
- 完整的混合仿真 DPI 与 VPI 支持
- 支持自动增量和并行设计编译技术
- 可媲美业内领先商用仿真器的编译效率与运行性能



功能

► 支持多种设计与验证语言

- Verilog 语言 (IEEE 1364)
- SystemVerilog 语言 (IEEE 1800-2017)
 - 支持 SVA 断言、约束求解器引擎和功能覆盖率
 - 完整的混合仿真 DPI 与 VPI 支持
- UVM 方法学 (IEEE 1800.2)
 - 支持 UVM、VMM 和 OVM 验证方法学
- VHDL 语言 (IEEE 1076-1993)
 - 包括加速支持 std_logic_1164 和 numeric_std
- 支持 IP 加密 (IEEE 1735)

► 支持 SV 与 VHDL 的跨语言交互

- 支持 SV 中实例化 VHDL 或 VHDL 中实例化 SV
- 实例化时支持参数覆写
- 支持对端口类型进行自动转换

► 支持代码覆盖率分析

- 支持 line/block, toggle, expression 覆盖率分析
- 支持 assertion 覆盖率分析

► 支持多种仿真技术

- 自动增量和并行设计编译技术
- 支持时序反标 (SDF 和 Timing Check)
- 支持与硬件仿真或原型验证系统进行联合仿真

► 多语言混合、高性能数字仿真器

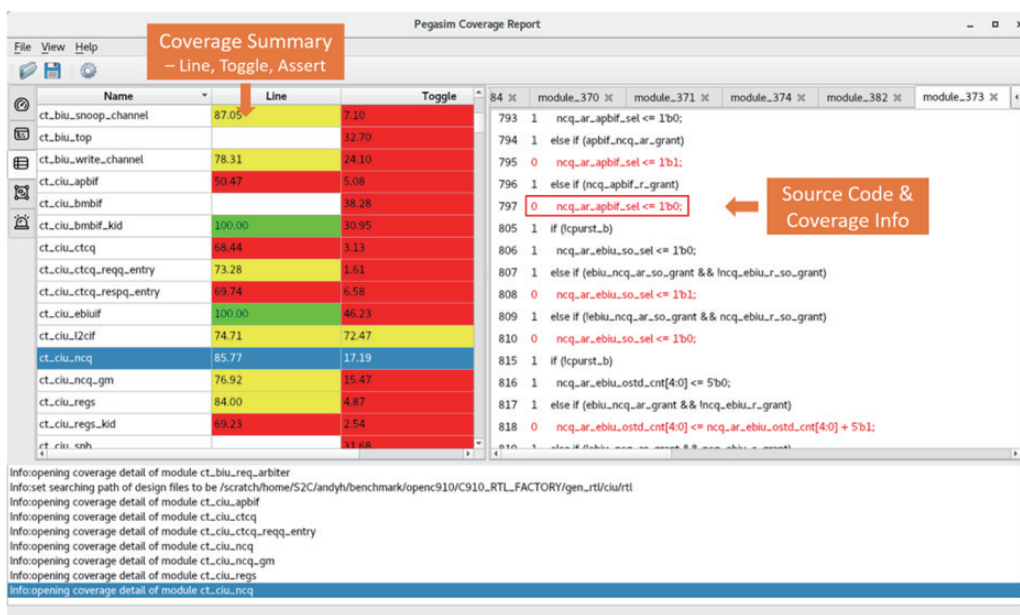
- 支持 Verilog, SystemVerilog 和 VHDL 混合仿真
- 支持数亿门级的超大规模数字设计仿真
- 可媲美业内领先商用仿真器的编译效率与运行性能

► 易于部署与使用

- 支持多种处理器架构, 如 X86, RISC-V, ARM
- 支持 VCD 或自研的波形格式, 灵活支持波形分析及源代码调试等
- 支持云端部署并将回归任务推送至云端并行执行

覆盖率分析

芯片验证过程中，可以通过分析 RTL 代码的覆盖率来衡量验证的完备性。PegaSim 集成了覆盖率分析工具，以支持覆盖率驱动的方法，帮助定义、度量 and 报告代码覆盖率目标，并发现覆盖率漏洞。



覆盖率分析界面

完善的异构验证平台

随着芯片设计集成度和复杂度的不断提升，异构验证已发展成为当前 SoC 前端功能验证的重要方法。高性能逻辑仿真器 PegaSim 芯神驰的推出，标志着思尔芯完善的异构验证平台解决方案拼图完成重要组成。完善的异构验证平台可支撑系统或芯片从早期的需求规格的精准定义、系统或软件架构探索、RTL 级仿真、硬件仿真加速、快速原型系统等多个验证场景需要，确保整个芯片设计流程对需求规格的完整实现及项目按照预期的验证计划高效地推进。



完善的异构验证平台