

Claryti 芯神觉 全面的分析与调试平台

“芯神觉”是由思尔芯自主研发的一款数字电路调试软件，融合了源代码追踪、波形图调试和覆盖率分析等核心功能。该软件支持多种语言和方法，能够与思尔芯的其他产品如软件仿真“芯神驰”、硬件仿真“芯神鼎”和原型验证“芯神瞳”等灵活衔接，深度融合，大幅提升验证效率。

“芯神觉”为芯片工程师提供了一个全面的分析与调试平台，通过用户友好、快速响应的可视化界面，使其可以更加深入地洞察和理解复杂的设计行为。它还帮助统一多种设计环境，减少繁琐的调试过程，大大提高了芯片设计验证效率。

重点摘要

- 源代码导航：高效的视图和导航体验
- 源代码追踪：智能追踪加速问题定位和调试
- 波形图调试：直观分析逻辑信号行为
- 覆盖率分析：多种覆盖模式加速覆盖率收敛
- 跨平台协作：与其他产品线深度融合



功能

支持常用的设计与验证语言

- System Verilog、Verilog、VHDL等
- 具备语法高亮、代码折叠和行号显示

支持源代码导航、追踪的多样化能力

- 展示及定位RTL设计的层级结构
- 模块实例的定义和调用追踪
- 进行驱动/加载信号追踪
- 源代码浏览历史记录
- 信号查找
- 信号值反标

支持波形图调试

- 支持MXD、FST、VCD、VF等格式
- 支持光标和标记, 改变信号颜色
- 与源代码窗口同步
- 信号查找
- 事件统计
- 多波形文件加载
- 波形比较

功能

支持代码覆盖率分析

- 支持line/block、toggle、expression覆盖率分析
- 快速生成详尽报告,配合设计层级展示

与其他产品线深度融合

- 与思尔芯的其他产品如软件仿真、硬件仿真和原型验证等结合使用
- 帮助统一多种设计环境,减少繁琐的调试过程

产品规格表

功能	源代码追踪, 波形图调试, 覆盖率分析
支持的RTL语言	SystemVerilog, Verilog, VHDL
支持的波形文件格式	VCD, FST, MXD, VF
支持的OS平台	Centos/Redhat 7及以上版本

工作界面

